

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

FOR

17

(19)



JAPANESE PATENT OFFICE

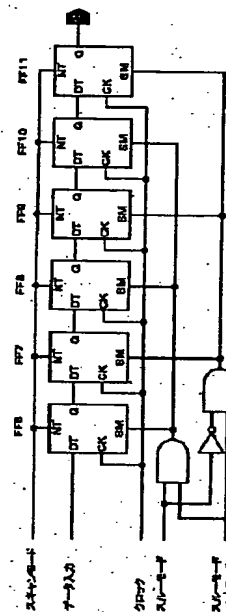
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002250753 A**(43) Date of publication of application: **06.09.02**(51) Int. Cl. **G01R 31/28**(21) Application number: **2001049503**(22) Date of filing: **26.02.01**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **FURUICHI MASAKATSU****(54) SCAN TEST CIRCUIT, METHOD OF TESTING THE SAME AND METHOD OF INITIALIZING FLIP-FLOP****(57) Abstract:**

PROBLEM TO BE SOLVED: To easily specify a defective place in a scan test without using an analyzer, for internal observation, which requires a large number of man-hours and time when the defect of a flip-flop is detected in the scan test.

SOLUTION: A scan chain is constituted of flip-flops (FF6, FF7, FF8, FF9, FF10, FF11) with a through mode. When the HOLD error of the flip-flops is detected in the scan test, the scan test which performs a data latch in the through mode in each flip-flop can be performed. When a result is compared with a standard scan test result, the defective place can be specified easily in the scan test without using the analyzer, for internal observation, which requires the large number of man-hours and time.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-250753

(P2002-250753A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int. CL.

G 0 1 R 31/28

識別記号

F I

G 0 1 R 31/28

ターコード(参考)

G 2 G 1 3 2

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2001-49503(P2001-49503)

(22) 出願日 平成13年2月26日(2001.2.26)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古市 政勝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

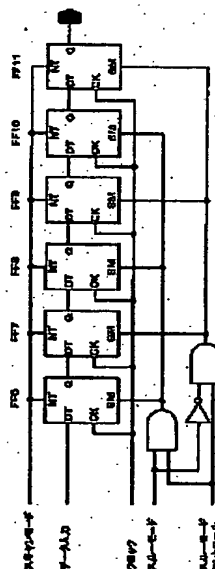
Fターム(参考) 2G132 AB01 AC14 AK24 AL09 AL12

(54) 【発明の名称】 スキャンテスト回路とそのテスト方法、およびフリップフロップの初期設定方法

(57) 【要約】

【課題】 スキャンテストにてフリップフロップの不具合が発覚した場合、膨大な工数と時間を要する内部観測用解析装置を用いずに、スキャンテストにて容易に不具合箇所の特定を行うことを目的とする。

【解決手段】 スルーモード付きのフリップフロップ(FF6, FF7, FF8, FF9, FF10, FF11)を用いてスキャンチェーンを構成することにより、スキャンテストにてフリップフロップのHOLDエラーが発覚した場合、各フリップフロップ毎にデータラッチをスルーモードで行うスキャンテストを行うことができ、結果を標準のスキャンテスト結果と比較することで、膨大な工数と時間を要する内部観測用解析装置を用いずに、スキャンテストにて容易に不具合箇所の特定を行うことができる。



【特許請求の範囲】

【請求項1】 スキャンテストモード時に限りクロック信号の状態に係わらず入力されたデータをそのまま出力するスルーモード機能のついたスルーモード付きフリップフロップを用い、連続する2つのスルーモード付きフリップフロップが同時にスルーモードにならないように構成されたスキャンテスト回路において、

通常のスキャンテストを実施する工程と、

前記スキャンテスト回路を構成するスルーモード付きフリップフロップのうち任意の1つのスルーモード付きフリップフロップがデータをラッチする際に次段のスルーモード付きフリップフロップをスルーモードにしてスキャンテストを実施する工程と、

同様に、前記スキャンテスト回路を構成する全てのスルーモード付きフリップフロップ毎にそれぞれのスルーモード付きフリップフロップをスルーモードにしてスキャンテストを実施する工程と、

前記通常のスキャンテストの結果と前記各スルーモード付きフリップフロップ毎をスルーモードにしたスキャンテストの結果の一致を確認して、前記スキャンテスト回路における不具合のあるスルーモード付きフリップフロップを特定する工程とを有するスキャンテスト方法。

【請求項2】 スキャンテストモード時に限りクロック信号の状態に係わらず入力されたデータをそのまま出力するスルーモード機能のついた複数のスルーモード付きフリップフロップと、

連続する2つのスルーモード付きフリップフロップが同時にスルーモードにならないように各スルーモード付きフリップフロップのスルーモード設定端子の入力値を制御する論理回路とを有し、通常のスキャンテストにおいて不具合が生じた場合に不具合の発生しているスルーモード付きフリップフロップを特定することが可能となるスキャンテスト回路。

【請求項3】 請求項2記載のスキャンテスト回路を有する半導体集積回路のスルーモード付きフリップフロップの初期設定を行うに際し、

1段目のスルーモード付きフリップフロップがデータをラッチする際に2段目のスルーモード付きフリップフロップをスルーモードにする工程と、

以降、奇数段目のスルーモード付きフリップフロップがデータをラッチする際に連続する次段のスルーモード付きフリップフロップをスルーモードにする工程とを有するフリップフロップの初期設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スキャンテストにてフリップフロップの故障箇所の検出を行う、半導体集積回路のスキャンテスト回路とスキャンテスト方法に関する。

【0002】

【従来の技術】 今日の大規模LSIでは、設計者が作成するテストベンチだけで故障検出率を上げることは非常に困難であり、ほとんどのLSIでスキャンテストを行い故障検出率の向上を図っている。しかし、LSIテスターでのスキャンテストではLSI個々で発生する縮退故障の検出は可能であるが、プロセスの変動等によるマージン不良、プロセス不良、電源電圧マージン不良やクロストークノイズ等によるタイミングマージン不良等によりスキャンテストでHOLDエラーが生じた場合、HOLDエラーが発生しているフリップフロップを特定することができない。図9、図10、図11、図12は、従来のスキャンチェーンの構造とHOLDエラー時の波形図であり、スキャンチェーンはFF1、FF2、FF3、FF4、FF5として示されるフリップフロップ5段をシフトレジスタのように直列に接続して構成されている。

【0003】 ここで、図9の波形図はFF2でHOLDエラーが発生した場合を表し、同じく、図10はFF3、図11はFF4、図12はFF5でHOLDエラーが発生した場合の波形図を表す。

【0004】 図で分かるように、各図のスキャンチェーンの出力OUTは、いずれの場合も同じ波形になっており、スキャンテストの結果により、スキャンチェーン上に不具合のあるフリップフロップが存在することはわかるが、どのフリップフロップでHOLDエラーが起きているのかを確認することは不可能である。従って、HOLDエラーが発生しているフリップフロップを特定するにはLSIの内部信号を実際に観測して不具合箇所を見つけなければならず、内部観測用解析装置を用いて膨大な工数と時間を要して解析を行う必要があった。さらに、システムLSI等の大規模LSIでは、スキャンチェーン上のフリップフロップ数の増加やプロセスの微細化により内部点の観測も非常に困難になると共に、不具合が発生した場合の不具合箇所の解析がさらに困難になってきている。

【0005】 以上のように上記従来のスキャンテストでは、HOLDエラーが発生した場合、スキャンテストによるLSIテスターの出力波形だけでは不具合箇所の特定ができず、別の解析装置により内部波形を観測して不具合箇所を特定しなければならないため、不具合箇所の特定に膨大な工数と時間を要するという問題点があった。

【0006】

【発明が解決しようとする課題】 上記問題点を解決するために、本発明のスキャンテスト回路とそのテスト方法、およびフリップフロップの初期設定方法は、スキャンテストにてフリップフロップの不具合が発覚した場合、膨大な工数と時間を要する内部観測用解析装置を用いずに、スキャンテストにて容易に不具合箇所の特定を行うことを目的とする。

【0007】

【課題を解決するための手段】本発明の請求項1記載のスカンテスト方法は、スカンテストモード時に限りクロック信号の状態に係わらず入力されたデータをそのまま出力するスルーモード機能のついたスルーモード付きフリップフロップを用い、連続する2つのスルーモード付きフリップフロップが同時にスルーモードにならないように構成されたスカンテスト回路において、通常のスカンテストを実施する工程と、前記スカンテスト回路を構成するスルーモード付きフリップフロップのうち任意の1つのスルーモード付きフリップフロップがデータをラッチする際に次段のスルーモード付きフリップフロップをスルーモードにしてスカンテストを実施する工程と、同様に、前記スカンテスト回路を構成する全てのスルーモード付きフリップフロップ毎にそれぞれのスルーモード付きフリップフロップをスルーモードにしてスカンテストを実施する工程と、前記通常のスカンテストの結果と前記各スルーモード付きフリップフロップ毎をスルーモードにしたスカンテストの結果の一致を確認して、前記スカンテスト回路における不具合のあるスルーモード付きフリップフロップを特定する工程とを有する。

【0008】請求項2記載のスカンテスト回路は、スカンテストモード時に限りクロック信号の状態に係わらず入力されたデータをそのまま出力するスルーモード機能のついた複数のスルーモード付きフリップフロップと、連続する2つのスルーモード付きフリップフロップが同時にスルーモードにならないように各スルーモード付きフリップフロップのスルーモード設定端子の入力値を制御する論理回路とを有する。

【0009】以上のように、スカンテストにてフリップフロップの不具合が発覚した場合、膨大な工数と時間を要する内部観測用解析装置を用いずに、スカンテストにて容易に不具合個所の特定を行うことができる。

【0010】請求項3記載のフリップフロップの初期設定方法は、請求項2記載のスカンテスト回路を有する半導体集積回路のスルーモード付きフリップフロップの初期設定を行うに際し、1段目のスルーモード付きフリップフロップがデータをラッチする際に2段目のスルーモード付きフリップフロップをスルーモードにする工程と、以降、奇数段目のスルーモード付きフリップフロップがデータをラッチする際に連続する次段のスルーモード付きフリップフロップをスルーモードにする工程とを有する。

【0011】以上のように、フリップフロップの初期設定を短時間に行うことができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態1）本発明の実施の形態1のスカンテス

ト回路とそのテスト方法について説明する。

【0013】図1は、スルーモード付きフリップフロップの構成図と真理値表である。スルーモード付きフリップフロップは、スルーモード設定端子SMを設定することにより、スカンモード時（スカンモード設定端子NT="1"）のみ、クロックに関係無くデータ入力端子DTより入力されたデータを出力端子Qよりそのまま出力するフリップフロップである。

【0014】この、スルーモード付きフリップフロップを用いてスカンチェーンを構成する。この時、前後段のFFが同時スルーモードにならないようにスカンチェーンを構成する。このことにより、スカンテストにてエラーが発生した場合、どのフリップフロップでHOLDエラーが生じているかを特定することができる。以下、偶数番目のフリップフロップと奇数番目のフリップフロップのスルーモードの設定をそれぞれ別々に設定することのできるスカンチェーンを例に説明する。

【0015】図2は、スルーモード付きフリップフロップを用いたスカンチェーンの構成図である。偶数番目のフリップフロップ（FF7、FF9、FF11）のスルーモード設定端子SMと奇数番目のフリップフロップ（FF6、FF8、FF10）のスルーモード設定端子SMにそれぞれ反転した値が入力されるように構成されている。このように構成されたスカンチェーンを用いることにより、HOLDエラーの発生したフリップフロップを特定することが可能となる。

【0016】以下、上記図2に示される構成のスカンチェーンを用いて、HOLDエラーの発生したフリップフロップを特定する方法について説明する。まず、スカンチェーン上の最初のフリップフロップ（FF6）がデータをラッチする時に、2番目のフリップフロップ（FF7）をスルーモードに設定する。（この状態で、FF7が疑似的にHOLDエラーが発生した場合と同じ状態にすることができる。）1クロック分スルーモードを保持した後、通常のスカンテストモードに戻して最後まで動作させLSIテスターで結果を検証する。次に2番目のフリップフロップ（FF7）がデータをラッチする時に、3番目のフリップフロップ（FF8）をスルーモードに設定する。同様に1クロック分スルーモードを保持した後、通常のスカンテストに戻して最後まで動作させLSIテスターで結果を検証する。同様に、全てのフリップフロップ毎に、そのフリップフロップの連続する前段のフリップフロップがデータをラッチする時にスルーモードに設定して前段のフリップフロップの出力データをそのまま出力した後、通常のスカンテストモードに戻して最後まで動作させLSIテスターで結果を検証する。

【0017】図3に通常のスカンテストの出力波形図を示す。図3では、FF9でHOLDエラーが発生した場合の出力波形図を示しており、網掛け部分がHOLD

ブフロップの数 $\div 2 \times$ クロック周期分の時間となり、スループモード無しのフリップフロップで構成したスキャンパスにより初期設定を行った場合の $1/2$ の時間で初期設定が可能となる。図8にスループモード付きフリップフロップにより構成されたスキャンチェーンを用いてフリップフロップの初期設定を行った場合の波形図を示す。

【0023】このように、連続する2つのフリップフロップの初期設定を同時にできるため、フリップフロップの初期設定の時間短縮が可能となる。

【0024】
【発明の効果】本発明のスキヤンテスト回路とそのテスト方法、およびフリップフロップの初期設定方法によると、スルーモード付きのフリップフロップによりスキヤンチェーンを構成することにより、スキヤンテストにてフリップフロップのHOLDエラーが発生した場合、各フリップフロップ毎にデータラッチをスルーモードで行うスキヤンテストを行うことができ、結果を標準のスキヤンテスト結果と比較することで、膨大な工数と時間を要する内部観測用解析装置を用いずに、スキヤンテストにて容易に不具合個所の特定を行うことができる。また、上記スキヤンチェーンを用いてLSIの初期設定を行うことにより、LSIの初期設定の時間短縮も可能となる。

【図面の簡単な説明】

【図1】スルーモード付きフリップフロップの構成図と真理値表

【図２】本発明の実施の形態１におけるスルーモード付きフリップフロップを用いたるキャンチェーンの構成図

【図3】本発明の実施の形態1における通常のスキャンテストの出力波形図

【図４】本発明の実施の形態１における２番目のフリップフロップ（ＦＦ７）をスルーモードにした場合の波形図

いが、シミュレーター上では、初期状態をあらかじめ規定値に設定しているものや、不定値を認識しないようにしているものがある。そこで、シミュレーションとの整

合性をとるために、実際のLSIの初期状態を設定する必要がある。最近では、スキャンチェーンを用いて初期状態を設定させてシミュレーションとの整合性をとる場合がある。

【0022】図7は、スキッチチェーンを用いてLSIの初期設定を行った場合の波形図であり、初期設定を行

うにはスキャンチェーンのフリップフロップの段数×クロック周期の時間だけ必要になる。そこで、図2に示すようなスルーモード付きフリップフロップによりスキャンパス設計を行い、偶数番目のフリップフロップをスル

一モードにすることにより、奇数番目のフリップフロップにデータを書き込んだ時、次段の偶数番目のフリップ

フロップに同時に同じデータを書き込むことができるため、初期設定の時間が、スキャンチェーン上のフリッ

【図7】従来のスキャンチェーンを用いてフリップフロップの初期設定を行った場合の波形図

【図8】本発明の実施の形態2におけるスルーモード付きフリップフロップにより構成されたスキャンチェーンを用いてフリップフロップの初期設定を行った場合の波形図

【図9】従来のスキャンチェーンの構成とHOLDエラー
一時の波形図

【図10】従来のスキャンチェーンの構成とHOLDエラー時の波形図

【図1】従来のスキャンチェーンの構成とHOLDエ
ラー時の波形図

【図2】従来のスキャンチェーンの構成とHOLDエ
ラー時の波形図

【符号の説明】

FF1 標準フリップフロップ

FF2 標準フリップフロップ

FF3 標準フリップフロップ

* FF4 標準フリップフロップ

FF5 標準フリップフロップ

FF6 スルーモード付きフリップフロップ

FF7 スルーモード付きフリップフロップ

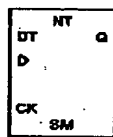
FF8 スルーモード付きフリップフロップ

FF9 スルーモード付きフリップフロップ

FF10 スルーモード付きフリップフロップ

*

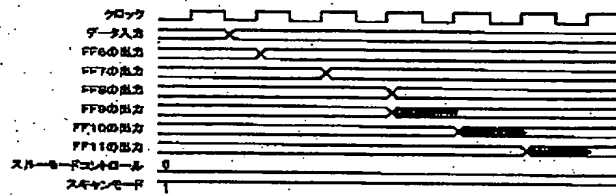
【図1】



CK: クロック入力
D: データ入力(ノーマル)
DT: データ入力(スキャン)
NT: スキャンモード設定
SM: スルーモード設定
Q: 出力

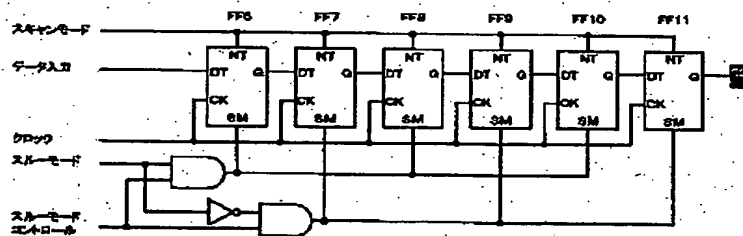
| CK | D | DT | NT | SM | Q |
|----|---|----|----|----|---|
| 1 | 1 | * | 0 | * | 1 |
| 1 | 0 | * | 0 | * | 0 |
| 1 | * | 1 | 1 | 0 | 1 |
| 1 | * | 0 | 1 | 0 | 0 |
| * | * | 1 | 1 | 1 | 1 |
| * | * | 0 | 1 | 1 | 0 |

【図3】

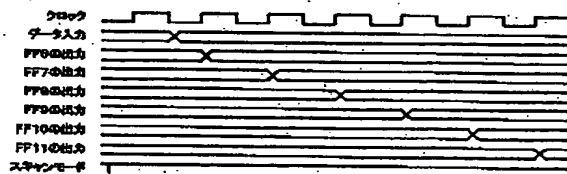


※図3は、本発明の適用と異なる場合

【図2】



【図7】

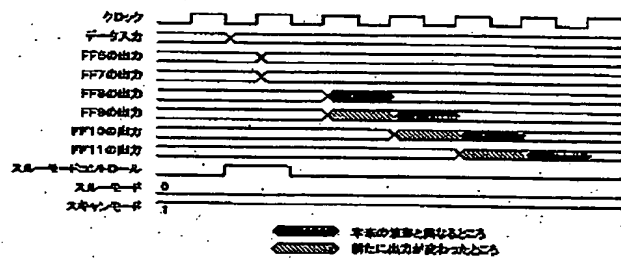


※図7は、本発明の適用と異なる場合

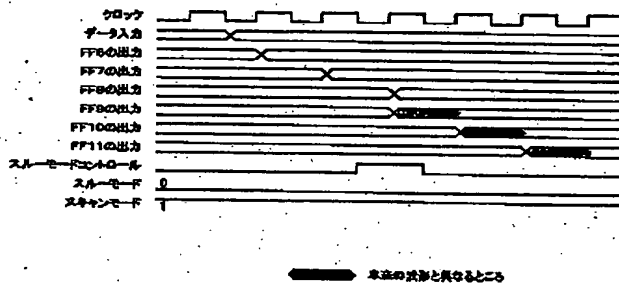
(6)

特開2002-250753

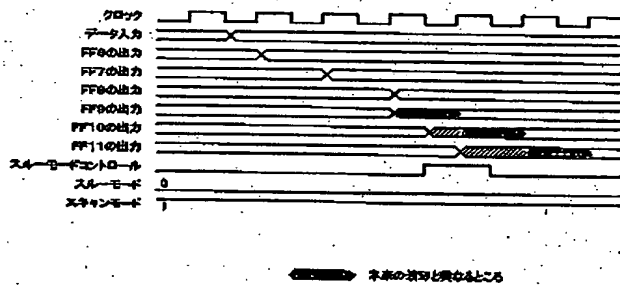
【図4】



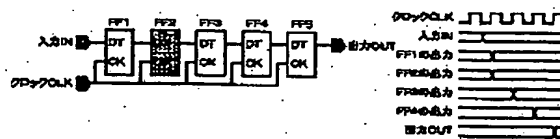
【図5】



【図6】



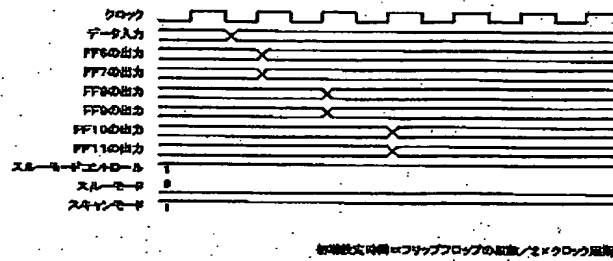
【図9】



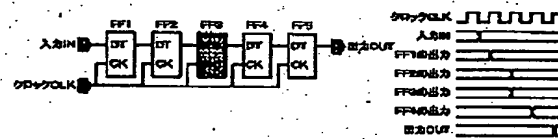
(7)

特開2002-250753

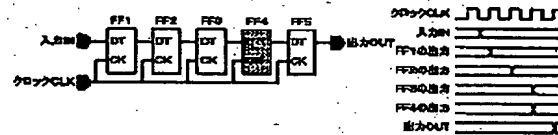
【図8】



【図10】



【図11】



【図12】

